

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-154253

(43)Date of publication of application : 11.06.1996

(51)Int.Cl:

H04N 9/07

(21)Application number : 06-293446

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.11.1994

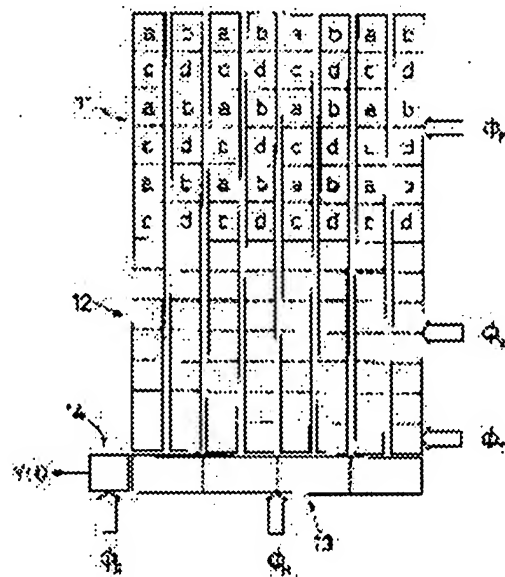
(72)Inventor : WATANABE TORU

## (54) SOLID-STATE IMAGE PICKUP ELEMENT AND ITS DRIVE METHOD

### (57)Abstract:

**PURPOSE:** To simplify signal processing of a video signal frame a solid-state image pickup element with a color filter mounted thereto.

**CONSTITUTION:** Plural light receiving picture elements corresponding to four color components (a), (b), (c), (d) are arranged in an image pickup section 11 as a matrix. The 1st color component (a) corresponds to an odd numbered column in an odd numbered row and the 2nd color component (b) corresponds to an even numbered column. The 3rd color component (c) corresponds tot an odd numbered column and the 4th color component (d) corresponds to an numbered column in an even numbered row. Plural vertical shift registers in an even numbered column in a storage section 12 are formed to have one bit more than those in an odd numbered column. Thus, after the information charge is transferred from the vertical shift registers of an odd numbered column to horizontal shift registers of a horizontal transfer section 13, the information charge is transferred from the vertical shift registers of an even numbered column to the horizontal shift registers of the horizontal transfer section 13. Thus, the information charge representing the same color component is transferred and outputted from the horizontal transfer section 13 to an output section 14 consecutively.



## LEGAL STATUS

[Date of request for examination] 05.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2966740

[Date of registration] 13.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

**[Industrial Application]** This invention relates to the solid state image sensor with which it was equipped with the color filter, and the drive approach of the solid state image sensor.

**[0002]**

**[Description of the Prior Art]** In image pick-up equipments, such as a television camera using a CCD solid state image sensor, based on the synchronizing signal according to a predetermined television system, each scan timing of a solid state image sensor is set up, and the video signal which has a predetermined format is taken out. For example, in the case of NTSC system, a vertical-scanning period is set as 1 / 60 seconds, a horizontal scanning period is further set as 2/525 of vertical-scanning periods, and the video signal with which image information continues per 1 horizontal-scanning period is outputted.

**[0003]** Drawing 7 is the block diagram showing the configuration of the image pick-up equipment which used the CCD solid state image sensor of a frame transfer mold. A solid state image sensor 1 consists of 1d of the output sections which change and output level transfer section 1c and the amount of information charges which transmit horizontally image pick-up section 1a which generates an information charge in response to the image from a photographic subject, are recording section 1b which accumulates an information charge temporarily, and an information charge, and output them to an electrical-potential-difference value. The frame transfer clock generating circuit 2 generates frame transfer clock  $\phi F$  synchronizing with the timing of a vertical scanning, supplies it to image pick-up section 1a of a solid state image sensor 1, and carries out the are recording section 1b HE transfer of the information charge of image pick-up section 1a within the fly-back-line period of a vertical scanning for every screen. The perpendicular transfer clock generating circuit 3 generates perpendicular transfer clock  $\phi V$  synchronizing with the timing of a horizontal scanning, supplies it to are recording section 1b of a solid state image sensor 1, and transmits the information charge of are recording section 1b to level transfer section 1c within the fly-back-line period of a horizontal scanning for every line. The level transfer clock generating circuit 4 generates level transfer clock  $\phi H$  synchronizing with the timing of a horizontal scanning, and carries out the transfer output of the information charge for one line which supplied level transfer section 1c and was transmitted from are recording section 1b to 1d of output sections within a horizontal scanning period. The timing control circuit 5 generates the timing signal of a vertical-scanning period and a horizontal scanning period based on reference clock CK, and supplies it to each clock generation circuits 2, 3, and 4. Thereby, to the timing of the beginning of a vertical-scanning period, the information charge generated in image pick-up section 1a is transmitted to are recording section 1b per 1 screen, and is accumulated. And it is transmitted to level transfer section 1c from this are recording section 1b per one line to the timing of the beginning of a horizontal scanning period, and is transmitted to 1d of every 1-bit output sections from level transfer section 1c.

**[0004]** The reset clock generation circuit 6 generates reset clock  $\phi R$  synchronizing with actuation of the level transfer clock generating circuit 4, and supplies it to 1d of output sections of a solid state image

sensor 1. The diffusion field which becomes independent of other fields called floating diffusion electrically is established in 1d of output sections, and the information charge accumulated in this diffusion field answers reset clock  $\phi_{IR}$ , and is discharged by the drain for charge discharge. That is, since the information charge transmitted from level transfer section 1c was accumulated in the diffusion field and the electrical-potential-difference value has been acquired from fluctuation of the potential of this diffusion field, 1d of output sections is constituted so that reset clock  $\phi_{IR}$  may be answered whenever 1 bit of information charges of level transfer section 1c is transmitted at a time to 1d of output sections, and an information charge may be discharged. The information charge by which a transfer output is carried out is changed into an electrical-potential-difference value from level transfer section 1c for every bit by this, and the video signal  $Y1(t)$  which repeats reset level and the signal level corresponding to the amount of information charges is outputted.

[0005] The sample ring circuit 7 is sampled to the timing which incorporates a video signal  $Y1(t)$  and follows sampling clock  $\phi_{IS}$ , and is outputted as a video signal  $Y2(t)$ . Like the reset clock generation circuit 6, the sampling clock generating circuit 8 generates sampling clock  $\phi_{IS}$  synchronizing with actuation of the level transfer clock generating circuit 4, and supplies it to a sampling circuit 7. This sampling clock  $\phi_{IS}$  is doubled with the period when the electrical-potential-difference value corresponding to the amount of information charges is outputted from 1d of output sections of a solid state image sensor 1 in the phase, takes out only signal level among the video signals  $Y1(t)$  outputted from 1d of output sections, and generates a video signal  $Y2(t)$ .

[0006] In the above image pick-up equipments, although the period which accumulates the information charge for one screen in image pick-up section 1a is set up as for example,  $1/60$  seconds, it is also possible by discharging the information charge of image pick-up section 1a to the specific timing in the middle of a vertical-scanning period to set an are recording period as  $1/60$  seconds or less. Therefore, to a bright photographic subject, the are recording period of an information charge is set up short, and overflow of the information charge of image pick-up section 1a of a solid state image sensor 1 is prevented. On the contrary, he makes an are recording period into  $1/60$  seconds or more, and is trying to compensate an exposure insufficiency with setting up the are recording period of an information charge for two or more vertical-scanning periods to a dark photographic subject. In this case, since a transfer of the information charge from image pick-up section 1a to are recording section 1b is performed at 1 time of a rate at two or more vertical-scanning periods, the video signal  $Y1(t)$  outputted from that of a solid state image sensor 1 turns into an intermittent signal which has the period which does not include image information. Then, to such an intermittent video signal  $Y1(t)$ , processing which interpolates image information per vertical-scanning period is performed. Image pick-up equipment equipped with such an exposure control function is proposed by for example, these people at Japanese Patent Application No. No. 66330 [ 63 to ].

[0007]

[Problem(s) to be Solved by the Invention] In interpolating image information to the video signal  $Y1(t)$  outputted from a solid state image sensor 1, the field memory which memorizes the signal for one screen is needed, and it has the problem that a circuit scale becomes large. Then, it considers making the amount of information charges increase and improving the sensibility on the appearance of a solid state image sensor 1, without enlarging a circuit scale by compounding the information charge for 2 pixels of image pick-up section 1a. The approach of usually compounding composition of the information charge for 2 pixels in the process in which an information charge is transmitted is used.

[0008] However, in the solid state image sensor for a color image pick-up which matched each light-receiving pixel with the specific color component, the color components of an adjacent light-receiving pixel differ by equipping image pick-up section 1a of a solid state image sensor 1 with a color filter, and the information charge of each other which are two or more pixels cannot be compounded. For example, when it is the solid state image sensor with which it was equipped with the color filter of mosaicism which consists of four color components a, b, c, and d, as the video signal  $Y1(t)$  outputted is shown in drawing 8, the color components a and b, or c and d are repeated by turns with the period which was in agreement with level transfer clock  $\phi_{IH}$  within each horizontal scanning period. When the information

charge of an adjacent light-receiving pixel is compounded in a transfer process, different color components will be mixed, and it is a playback side and it becomes impossible therefore, to reproduce a desired color.

[0009] Then, this invention aims at enabling it to compound the information charge of two or more light-receiving pixels with the solid state image sensor with which it was equipped with the color filter.

[0010]

[Means for Solving the Problem] The place by which accomplished in order that this invention might solve an above-mentioned technical problem, and it is characterized [ the ] Two or more light-receiving pixels which are arranged in a line writing direction and the direction of a train, answer the light which received light, and generate an information charge, Two or more perpendicular shift registers perpendicularly transmitted in response to the information charge which is arranged corresponding to each train of this light-receiving pixel, and is generated in each light-receiving pixel, The level shift register which transmits horizontally the information charge which receives each output of two or more above-mentioned perpendicular shift registers in each bit, and is outputted to it from two or more above-mentioned perpendicular shift registers, The output section which accumulates the information charge outputted from this level shift register by bitwise, and outputs the electrical-potential-difference value corresponding to the amount of charges, The color filter which covers two or more above-mentioned light-receiving pixels, is arranged, gives the 1st color component to an odd number train in each line of two or more above-mentioned light-receiving pixels, and gives the 2nd color component to an even number train, A preparation and two or more above-mentioned perpendicular shift registers have an even number train in outputting the above-mentioned information charge to the above-mentioned level shift register to the timing which was overdue to the odd number train.

[0011] And it has two or more light-receiving pixels to which it is arranged in a line writing direction and the direction of a train, the 1st color component is given to to an odd number train in each line, and the 2nd color component is given to an even number train. In response to the information charge generated in each light-receiving pixel at two or more perpendicular shift registers arranged corresponding to each train of a light-receiving pixel, it transmits perpendicularly. While carrying out a transfer output horizontally at each bit of a level shift register in response to the information charge outputted from each perpendicular shift register In the drive approach of the solid state image sensor which accumulates the information charge outputted from a level shift register in the output section by bitwise, and takes out the electrical-potential-difference value corresponding to the amount of information charges In two or more above-mentioned perpendicular shift registers, the information charge for one line is transmitted to the above-mentioned level shift register from an odd number train. Then, after transmitting to the output section from the above-mentioned level shift register, while transmitting [ to the above-mentioned level shift register ] the information charge for one line from an even number train and transmitting to the output section from the above-mentioned level shift register continuously In the above-mentioned output section, it is characterized by compounding the information charge for two or more bits, and taking out an electrical-potential-difference value.

[0012]

[Function] According to this invention, the 1st color component and the 2nd color component are made to correspond to an odd number train and an even number train, respectively in each line of two or more light-receiving pixels by which matrix arrangement was carried out, and an information charge comes to be transmitted to a level shift register from the light-receiving pixel matched with the same color component at coincidence by having transmitted the information charge to the level shift register to the timing which was in the perpendicular shift register of an even number train to the shift register of an odd number train. For this reason, the video signal with which the information charge showing the same color component will continue in a level shift register, and the same color component continues per 1/2 line can be acquired.

[0013] And according to the drive approach of the solid state image sensor of this invention, an information charge is read from the light-receiving pixel matched with the same color component to a level shift register by coincidence, and the information charge is compounded by two or more bits in the

output section. For this reason, without mixing a color component, even if it is a solid state image sensor equipped with a color filter, the information charge of two or more light-receiving pixels is compounded, and the video signal of high level can be acquired.

[0014]

[Example] Drawing 1 is the top view showing the configuration of the solid state image sensor of this invention, and drawing 2 is the timing chart of each clock which drives this solid state image sensor. In this drawing, six line x 8 train shows the light-receiving pixel of the image pick-up section for drawing simplification. The image pick-up section 11 consists of two or more perpendicular shift registers each other arranged in parallel, and two or more light-receiving pixels by which matrix arrangement was carried out are constituted by dividing these perpendicular shift registers into two or more bits, respectively. This image pick-up section 11 is equipped with the color filter of mosaicism which consists of four color components a, b, c, and d. Thereby, an odd number train is matched with the 1st color component a, as for the light-receiving pixel of odd lines, an even number train is matched with the 2nd color component b, an odd number train is matched with the 3rd color component c, and, as for the light-receiving pixel of even lines, an even number train is matched with the 4th color component d. Frame transfer clock  $\phi F$  which synchronized with vertical-scanning timing is impressed to each perpendicular shift register of this image pick-up section 11, and the information charge generated in each light-receiving pixel is transmitted to the are recording section 12. The are recording section 12 consists of two or more perpendicular shift registers which follow the perpendicular shift register of the image pick-up section 11, it is divided so that these perpendicular shift registers may correspond to the light-receiving pixel of the image pick-up section 11, it incorporates the information charge transmitted from the image pick-up section 11, and accumulates it temporarily. Perpendicular transfer clock  $\phi V$  is impressed to the perpendicular shift register of the are recording section 12, and while incorporating and accumulating the information charge transmitted from the perpendicular shift register of the image pick-up section 11, the accumulated information charge is perpendicularly transmitted per one line synchronizing with horizontal scanning timing. 1 bit of many output sides of these perpendicular shift registers is formed rather than the odd number train in the even number train, and the last bit of an even number train drives them by one half of auxiliary transfer clock  $\phi T$  of a period of perpendicular transfer clock  $\phi V$ . thereby -- the transfer timing of the information charge from the are recording section 12 to the level transfer section 13 -- the perpendicular shift register of an odd number train, and the perpendicular shift register of an even number train -- one half of the periods of a horizontal scanning period -- it has shifted. The level transfer section 13 consists of a level shift register of one train, this level shift register corresponds every two trains of the perpendicular shift register of the are recording section 12, and it is divided into two or more bits, and incorporates the information charge transmitted from each perpendicular shift register of the are recording section 12 in each bit. Level transfer clock  $\phi H$  which synchronized with horizontal scanning timing is impressed to the level shift register of the level transfer section 13, and the sequential transfer output of the information charge transmitted to the level transfer section 13 from the are recording section 12 is carried out horizontally every 1/2 line. The output section 14 consists of reset transistors which discharge the information charge accumulated in the capacity which receives the information charge outputted from the level shift register of the level transfer section 13, the output amplifier which takes out change of the potential of this capacity, and capacity. Reset clock  $\phi R$  which synchronized with level transfer clock  $\phi H$  is impressed to this output section 14, and sequential discharge of the information charge which is outputted from the level transfer section 13 and accumulated in capacity by bitwise comes to be carried out. The information charge transmitted from the level transfer section 13 is changed into an electrical-potential-difference value by 1 bitwise by this, and video-signal  $Y(t)$  corresponding to the amount of information charges is outputted.

[0015] Perpendicular transfer clock  $\phi V$  consists of a clock  $\phi V1$  to  $\phi V4$  of four phases, and transmits the information charge of the are recording section 12 perpendicularly by one line to the timing of the beginning of the vertical scanning which synchronized with Horizontal Synchronizing signal HD. Although the information charge of the last bit is transmitted to the level shift register of the

level transfer section 13 with the perpendicular shift register of an odd number train at this time, the information charge of the same line is held at the last bit of a perpendicular shift register in the perpendicular shift register of an even number train with more 1 bit than an odd number train. About auxiliary transfer clock  $\phi T$  which drives the last bit of this perpendicular shift register, after consisting of a clock  $\phi T1$  of four phases -  $\phi T$  four and incorporating an information charge in the last bit of a perpendicular shift register by the beginning of a horizontal scanning together with perpendicular transfer clock  $\phi V$  for example, when one half of the periods of a horizontal scanning period pass, an information charge is transmitted to the level shift register of the level transfer section from the last bit of a perpendicular shift register. And level transfer clock  $\phi H$  consists of a clock  $\phi H1$  of two phases, and  $\phi H2$ , and whenever an information charge is transmitted to the level shift register of the level transfer section 13 from the perpendicular shift register of the are recording section 12, it transmits the information charge for 1/2 line to the output section 14 in one half of the periods of a horizontal scanning. Thus, the color component with the information charge same for every horizontal scanning period at one half of the periods of a horizontal scanning period by which a transfer output is carried out will continue. For example, in the odd-numbered horizontal scanning period, the information charge which expresses the 1st color component a in the first half of a horizontal scanning period continues. The information charge which expresses the 2nd color component b in the second half is outputted continuously, and the information charge with which the information charge which expresses the 3rd color component c in the first half of a horizontal scanning period expresses the 4th color component d in the second half continuously comes to be continuously outputted in the even-numbered horizontal scanning period. Therefore, video-signal Y (t) outputted from the output section 14 will express a single color component for one half of every periods of a horizontal scanning period, and comes to be able to perform separation of a color component easily in signal processing to video-signal Y (t) in each horizontal scanning period.

[0016] Moreover, if it is made to thin out reset clock  $\phi R$  impressed to the output section 14 at suitable spacing, it is possible to compound the information charge for two or more bits. In this case, since the color component with one half of the same periods of a horizontal scanning period is continuing, different color components are not mixed. Drawing 3 is the top view showing the example of a configuration of the color filter of mosaicism, and shows the light sensing portion of the CCD solid state image sensor of a frame transfer mold. And drawing 4 is the sectional view of X-X-ray of drawing 3. In these drawings, the full frame mold CCD solid state image sensor of the four-phase drive with which four transfer electrodes are arranged per pixel is shown.

[0017] Two or more isolation regions 22 which consist of a high-concentration P type field are mutually formed in the surface field of the silicon substrate 21 of P type in parallel, the impurity of N type is spread to the substrate field inserted into this isolation region 22, and the channel field 23 is formed in it. Two or more transfer electrodes 25 of the 1st layer and the transfer electrode 26 of a two-layer eye are mutually arranged in parallel so that the channel field 23 may be intersected through an oxide film 24 on the silicon substrate 21 in which the isolation region 22 and the channel field 23 were formed.

Moreover, even-numbered potential of the transfer electrode 26 of a two-layer eye is made low, the obstruction of potential is formed, odd-numbered potential of the transfer electrode 25 of the 1st layer and the transfer electrode 26 of a two-layer eye is made high, and a potential well is formed at the period which accumulates the information charge produced by photo electric conversion. The transfer electrode 26 of a two-layer eye is electrically separated for the channel field 23 which continues perpendicularly by the eventh by this, and two or more light-receiving pixels are formed. And the clock pulse of for example, four phases is given to each transfer electrodes 25 and 26, and the sequential transfer of the information charge accumulated in the potential well is carried out along the channel field 23 to an output side. Here, each transfer electrodes 25 and 26 are arranged two [ at a time (a total of 4) ] per pixel, respectively, and the information charge accumulated in each light-receiving pixel is transmitted independently for every pixel.

[0018] The color filter 27 which covers each transfer electrodes 25 and 26 and is formed is divided into two or more fields corresponding to each line of a light-receiving pixel, corresponds every two trains of



the channel field 23 further, and is divided into three fields. The division field over two light-receiving pixels which adjoin each other across an isolation region 22 corresponds to one third of each light-receiving pixels, and the division field which adjoins the both sides corresponds to two thirds of each light-receiving pixels. Each component of Ye (yellow), Cy (cyanogen), and G (Green) is assigned to these division fields in predetermined sequence. Although the sequence of the assignment of a color component to each division field is in agreement in each line, it has shifted to the line writing direction by one field in even lines and odd lines.

[0019] By the way, the filter of G component can pile up and constitute the filter of Ye component, and the filter of Cy component. For this reason, it arranges to the division field to which the coloring layer 28 of the 1st layer used as Ye filter is assigned to Ye component and G component, it arranges to the division field to which the coloring layer 29 of the two-layer eye used as Cy filter is assigned to Cy component and G component, and a color filter 27 is constituted. The division field where the division field which has arranged only the coloring layer 28 of the 1st layer has arranged only the coloring layer 29 of Ye component and a two-layer eye by this is matched with Cy component, respectively, and the division field which has arranged the coloring layer 28 of the 1st layer and the coloring layer 29 of a two-layer eye in piles is matched with G component.

[0020] In the above color filter 27, four color components a, b, c, and d can be expressed as  $a=2Cy+Yeb=2G+Yec=2G+Cy d=2Ye+Cy$ , respectively. And according to the configuration of such color components a, b, c, and d, it is  $|a-b|=(2Cy+Ye)$  from the difference of a mutual color component the whole line.  $-(2G+Ye)$

$=2Cy-2G=2B|c-d|=(2Ye+Cy)-(2G+Cy)$

$=B$  (blue) component and  $R$  (red) component can be obtained as  $2Ye-2G=2R$ . Moreover, it is  $a+b=(2Cy+Ye)+(2G+Ye)$  by compounding a color component for every line.

$=2R+6G+2Bc+d=(2G+Cy)+(2Ye+Cy)$

$=$  It becomes  $2R+6G+2B$ , an equal signal can be acquired for every line, and this signal can be used now as a luminance signal. Although it is not in agreement with an original luminance signal about the luminance signal in this case, since each component is compounded at a rate near the rate of following predetermined specification, it is satisfactory practically.

[0021] Drawing 5 is the block diagram showing the configuration of the image pick-up equipment which adopted the drive approach of the solid state image sensor of this invention, and drawing 6 is the timing chart of operation. A solid state image sensor 31 is the same configuration as drawing 1, and consists of 31d of the output sections which take out level transfer section 31c and the video signal Y1 (t) with which each bit of a level shift register was matched every two trains of the perpendicular shift register of image pick-up section 31a equipped with the color filter of mosaicism, output section 31b in which many [ 1 bit ] perpendicular shift registers at an output side of an even number train are formed rather than the perpendicular shift register of an odd number train, and output section 31b.

[0022] The frame transfer clock generating circuit 32 supplies frame transfer clock  $\phi F$  generated synchronizing with the timing of a vertical scanning to image pick-up section 31a of a solid state image sensor 31, and carries out the are recording section 1b HE transfer of the information charge of image pick-up section 31a for every screen. The perpendicular transfer clock generating circuit 33 supplies perpendicular transfer clock  $\phi V$  to are recording section 1b, and it transmits the incorporated information charge perpendicularly for every line while it incorporates the information charge transmitted from image pick-up section 31a to are recording section 31b. At this time, in are recording section 31b, 1 bit of many perpendicular shift registers of an even number train is formed by the output side rather than the perpendicular shift register of an odd number train, the information charge of the last bit is transmitted to the level shift register of level transfer section 31c in the perpendicular shift register of an odd number train, and the information charge of the same line is held with the perpendicular shift register of an even number train at the last bit of that perpendicular shift register. The auxiliary transfer clock generating circuit 34 supplies auxiliary transfer clock  $\phi T$  to the last bit of the perpendicular shift register of the even number train of are recording section 31b, and transmits the information charge incorporated by this last bit to the level shift register of level transfer section 31c to the transfer timing



of the perpendicular shift register of an odd number train to the timing which is  $1/2$  of a horizontal scanning period and which was overdue during the period. The level transfer clock generating circuit 35 supplies level transfer clock  $\phi_{iH}$  generated synchronizing with the timing of a horizontal scanning to level transfer section 31c, and carries out the transfer output of the information charge transmitted from are recording section 31b to 31d of output sections. The timing control circuit 36 determines each timing of a vertical scanning and a horizontal scanning based on reference clock CK, and controls the timing of each clock generation circuits 32, 33, 34, and 35 of operation. Thereby, to the timing of the beginning of a vertical-scanning period, the information charge generated in image pick-up section 31a is transmitted to are recording section 31b per 1 screen, is accumulated, and is transmitted to level transfer section 31c from this are recording section 31b per one line to the timing of the beginning of a horizontal scanning period. And in the transfer process, the information charge read from the light-receiving pixel of an odd number train and the information charge read from the light-receiving pixel of an even number train can distribute, and the information charge showing the same color component is continuously transmitted to 31d of output sections for one half of every periods of a horizontal scanning period.

[0023] The reset clock generation circuit 37 generates the reset clock  $\phi_{iR1}$  of the same period as level transfer clock  $\phi_{iH}$  synchronizing with the level transfer clock generating circuit 35. A frequency divider 38 carries out dividing of the reset clock  $\phi_{iR1}$  to  $1/n$ , generates the reset clock  $\phi_{iR2}$  which has one  $n$  times the period of level transfer clock  $\phi_{iH}$ , and supplies it to 31d of output sections of a solid state image sensor 31. Thereby, discharge actuation of a 31d [ of output sections ] information charge turns into transfer operation  $n$  times the period of level transfer section 31c, and the information charge for  $n$  pixels is accumulated in 31d of output sections. Thereby, although the video signal  $Y1(t)$  outputted from 31d of output sections will show a period  $n$  times the period same level of level transfer clock  $\phi_{iH}$ , even when there are few amounts of information charges for 1 pixel, it can obtain sufficient level.

[0024] The sample ring circuit 39 is sampled to the timing which incorporates a video signal  $Y1(t)$  and follows a sampling clock  $\phi_{iS2}$ , and is outputted as a video signal  $Y2(t)$ . The sampling clock generating circuit 40 generates the sampling clock  $\phi_{iS1}$  of the same period as level transfer clock  $\phi_{iH}$  like the reset clock generation circuit 37 synchronizing with the level transfer clock generating circuit 35. Like a frequency divider 38, a frequency divider 41 carries out dividing of the sampling clock  $\phi_{iS1}$  to  $1/n$ , generates the sampling clock  $\phi_{iS2}$  which has the same period as the reset clock  $\phi_{iR2}$ , and supplies it to a sampling circuit 39. In addition, the phase of a sampling clock  $\phi_{iS2}$  is set up so that it may be in agreement like sampling clock  $\phi_{iS}$  of drawing 7 at the period when the signal level of a video signal  $Y1(t)$  is outputted.

[0025] Here, the dividing actuation to the reset clock  $\phi_{iR1}$  and sampling clock  $\phi_{iS1}$  in each frequency dividers 38 and 41 answers the field recognition signal FD reversed to every vertical-scanning period (1 field), and is set as the timing which shifted by one period of level transfer clock  $\phi_{iH}$  in each vertical-scanning period. For example, when carrying out dividing of the reset clock  $\phi_{iR1}$  and the sampling clock  $\phi_{iS1}$  to one half and compounding the information charge for 2 pixels in 31d of output sections, each frequency dividers 38 and 41 are reset in the standup of the horizontal scanning signal HD, and it consists of the even number fields (EVEN) in the odd number field (ODD) so that it may be behind from the standup of the horizontal scanning signal HD by one period of level transfer clock  $\phi_{iH}$  and a frequency divider 12 may be reset. Thereby, it shifts a term 1 round and the reset clock  $\phi_{iR2}$  of each other is set up in the odd number field and the even number field, as shown in drawing 6. Therefore, the combination of the light-receiving pixel by which discharge actuation of a 31d [ of output sections ] information charge is compounded in 1 period gap of level transfer clock  $\phi_{iH}$  and 31d of output sections to the transfer operation of level transfer section 31c for every field will be reversed for every field. Thus, if it is made to reverse the timing which compounds the information charge of a light-receiving pixel for every field, an interlace scan will be carried out horizontally in false, and a solid state image sensor 31 can oppress the fall of the horizontal resolution by composition of a 2-pixel information charge.

[0026] By the way, it carries out per vertical-scanning period, and also the period which reverses the

combination of the pixel compounded in 31d of output sections can also be carried out per horizontal scanning period. In this case, for every horizontal scanning period, only one period of level transfer clock  $\phi_{IH}$  shifts, and the dividing actuation to the reset clock  $\phi_{R1}$  and sampling clock  $\phi_{S1}$  in each frequency dividers 38 and 41 is set up.

[0027] Although carried out as [ portion / the information charge of an odd number train and an even number train ] by making [ many ] 1 bit of numbers of bits of the perpendicular shift register of the even number train of are recording section 31b to an odd number train, you may make it distribute an information charge in the above example, as incorporation of the information charge to level transfer section 31c is controlled. Furthermore, it is also possible to prepare the output control of the pair which a location reverses in an odd number train and an even number train in the output side of the perpendicular shift register of are recording section 31b, and to distribute an information charge by actuation of this output-control electrode.

[0028] Moreover, in this example, although the solid state image sensor of a frame transfer mold is illustrated, it is applicable similarly about the solid state image sensor of an INTARAIN mold or a frame INTARAIN mold.

[0029]

[Effect of the Invention] According to this invention, in the solid state image sensor for a color image pick-up matched with the specific color component, respectively, the light-receiving pixel by which matrix arrangement is carried out packs the information charge showing the same color component per 1/2 line, and can take it out. For this reason, by the processing process of a video signal, separation of a color component becomes easy and can simplify the configuration of a digital disposal circuit.

[0030] Moreover, since the information charge showing the same color component is outputted continuously, the information charge of two or more pixels is easily compoundable, and the brightness of a photographic subject is low, and even when there are few information charges accumulated in a light-receiving pixel, the video signal of sufficient level can be taken out. Furthermore, if it is made reversed for every vertical-scanning period and every horizontal scanning period and is made to carry out interlace scanning of the combination of the light-receiving pixel which compounds an information charge in false, the fall of the resolution by composition of an information charge can be oppressed.

---

[Translation done.]

# BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-154253

(43) 公開日 平成8年(1996)6月11日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 9/07	A			
	D			

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平6-293446

(22) 出願日 平成6年(1994)11月28日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 渡辺 透

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

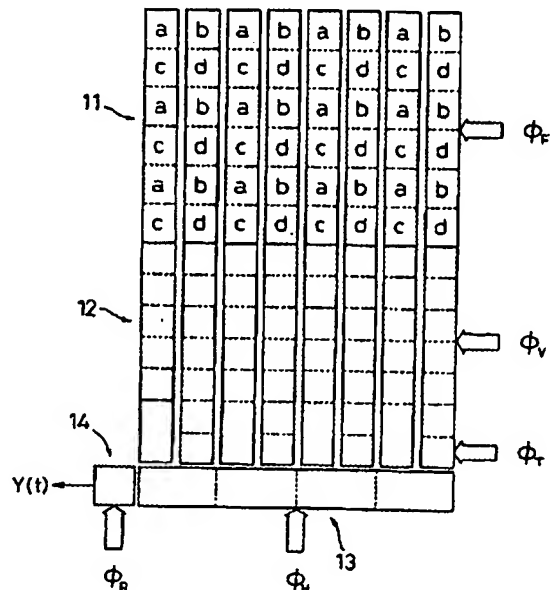
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 固体撮像素子及びその駆動方法

(57) 【要約】

【目的】 カラーフィルタが装着された固体撮像素子から出力される映像信号の信号処理を簡単にする。

【構成】 撮像部11には、4つの色成分a、b、c及びdに対応付けられた複数の受光画素が行列配置される。奇数行では、奇数列に第1の色成分aが対応付けられ、偶数列に第2の色成分bが対応付けられる。偶数行では、奇数列に第3の色成分cが対応付けられ、偶数列に第4の色成分dが対応付けられる。蓄積部12の複数の垂直シフトレジスタは、偶数列が奇数列より1ビット多く形成される。これにより、情報電荷は、奇数列の垂直シフトレジスタから水平転送部13の水平シフトレジスタに転送された後、偶数列の垂直シフトレジスタから水平転送部13の水平シフトレジスタに転送される。従って、同一の色成分を表す情報電荷が連続して水平転送部13から出力部14へ転送出力される。



## 【特許請求の範囲】

【請求項1】 行方向及び列方向に配置され、受光した光にตอบสนองして情報電荷を発生する複数の受光画素と、この受光画素の各列に対応して配置され、各受光画素に発生する情報電荷を受けて垂直方向に転送する複数の垂直シフトレジスタと、各ビットに上記複数の垂直シフトレジスタの各出力を受け、上記複数の垂直シフトレジスタから出力される情報電荷を水平方向に転送する水平シフトレジスタと、この水平シフトレジスタから出力される情報電荷をビット単位で蓄積し、電荷量に対応した電圧値を出力する出力部と、上記複数の受光画素を被って配置され、上記複数の受光画素の各行で奇数列に対して第1の色成分を与え、偶数列に対して第2の色成分を与えるカラーフィルタと、を備え、上記複数の垂直シフトレジスタは、偶数列が奇数列に対して遅れたタイミングで上記情報電荷を上記水平シフトレジスタへ出力することを特徴とする固体撮像素子。

【請求項2】 上記カラーフィルタは、奇数行の受光画素で奇数列に対して第1の色成分を与え、偶数列に対して第2の色成分を与えると共に、偶数行の受光画素で奇数列に対して第3の色成分を与え、偶数列に対して第4の色成分を与えることを特徴とする請求項1記載の固体撮像素子。

【請求項3】 行方向及び列方向に配置され、各行で奇数列に対して第1の色成分が与えられて偶数列に対して第2の色成分が与えられる複数の受光画素を備え、受光画素の各列に対応して配置される複数の垂直シフトレジスタに各受光画素に発生する情報電荷を受けて垂直方向に転送し、各垂直シフトレジスタから出力される情報電荷を水平シフトレジスタの各ビットに受けて水平方向に転送出力すると共に、水平シフトレジスタから出力される情報電荷をビット単位で出力部に蓄積して情報電荷量に対応した電圧値を取り出す固体撮像素子の駆動方法において、上記複数の垂直シフトレジスタでは、奇数列から1行分の情報電荷を上記水平シフトレジスタへ転送し、続いて上記水平シフトレジスタから出力部へ転送した後、偶数列から1行分の情報電荷を上記水平シフトレジスタへ転送し、続いて上記水平シフトレジスタから出力部へ転送すると共に、上記出力部では、複数ビット分の情報電荷を合成して電圧値を取り出すことを特徴とする固体撮像素子の駆動方法。

【請求項4】 上記水平シフトレジスタから転送される情報電荷を上記出力部で合成するタイミングが、垂直走査期間毎に上記水平シフトレジスタの転送動作の1周期ずれることを特徴とする請求項3記載の固体撮像素子の駆動方法。

【請求項5】 上記水平シフトレジスタから転送される情報電荷を上記出力部で合成するタイミングが、水平走査期間毎に上記水平シフトレジスタの転送動作の1周期ずれることを特徴とする請求項3記載の固体撮像素子の

## 駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、カラーフィルタが装着された固体撮像素子及びその固体撮像素子の駆動方法に関する。

## 【0002】

【従来の技術】CCD固体撮像素子を用いるテレビカメラ等の撮像装置においては、所定のテレビジョン方式に従う同期信号に基づいて固体撮像素子の各走査タイミングが設定され、所定のフォーマットを有する映像信号が取り出される。例えば、NTSC方式の場合、垂直走査期間が1/60秒に設定され、さらに水平走査期間が垂直走査期間の2/525に設定され、映像情報が1水平走査期間単位で連続する映像信号が出力される。

【0003】図7は、フレーム転送型のCCD固体撮像素子を用いた撮像装置の構成を示すブロック図である。固体撮像素子1は、被写体からの映像を受けて情報電荷を発生する撮像部1a、情報電荷を一時的に蓄積する蓄積部1b、情報電荷を水平方向に転送して出力する水平転送部1c及び情報電荷量を電圧値に変換して出力する出力部1dよりなる。フレーム転送クロック発生回路2は、垂直走査のタイミングに同期してフレーム転送クロックφFを発生し、固体撮像素子1の撮像部1aに供給して撮像部1aの情報電荷を1画面毎に垂直走査の帰線期間内で蓄積部1bへ転送する。垂直転送クロック発生回路3は、水平走査のタイミングに同期して垂直転送クロックφVを発生し、固体撮像素子1の蓄積部1bに供給して蓄積部1bの情報電荷を1行毎に水平走査の帰線期間内で水平転送部1cへ転送する。水平転送クロック発生回路4は、水平走査のタイミングに同期して水平転送クロックφHを発生し、水平転送部1cに供給して蓄積部1bから転送された1行分の情報電荷を水平走査期間内で出力部1dへ転送出力する。タイミング制御回路5は、基準クロックCKに基づいて垂直走査周期及び水平走査周期のタイミング信号を生成し、各クロック発生回路2、3、4に供給する。これにより、撮像部1aに発生した情報電荷は、垂直走査期間の始まりのタイミングで1画面単位で蓄積部1bへ転送されて蓄積される。そして、この蓄積部1bから水平走査期間の始まりのタイミングで1行単位で水平転送部1cへ転送され、水平転送部1cから1ビットずつ出力部1dへ転送される。

【0004】リセットクロック発生回路6は、水平転送クロック発生回路4の動作に同期してリセットクロックφRを発生し、固体撮像素子1の出力部1dに供給する。出力部1dには、フローティングディフュージョンと称される他の領域から電気的に独立する拡散領域が設けられ、この拡散領域に蓄積される情報電荷がリセットクロックφRにตอบสนองして電荷排出用のドレインに排出される。即ち、出力部1dは、水平転送部1cから転送さ

3

れる情報電荷を拡散領域に蓄積し、この拡散領域の電位の変動から電圧値を得ているため、水平転送部1cの情報電荷が出力部1dへ1ビットずつ転送される度にリセットクロックφRにตอบสนองして情報電荷を排出するよう構成される。これにより、水平転送部1cから転送出力される情報電荷が1ビット毎に電圧値に変換され、リセットレベルと情報電荷量に対応した信号レベルとを繰り返す映像信号Y1(t)が出力される。

【0005】サンプリング回路7は、映像信号Y1(t)を取り込んでサンプリングクロックφSに従うタイミングでサンプリングし、映像信号Y2(t)として出力する。サンプリングクロック発生回路8は、リセットクロック発生回路6と同様に、水平転送クロック発生回路4の動作に同期してサンプリングクロックφSを発生し、サンプリング回路7に供給する。このサンプリングクロックφSは、固体撮像素子1の出力部1dから情報電荷量に対応した電圧値が出力される期間に位相が合わせられており、出力部1dから出力される映像信号Y1(t)の内、信号レベルのみを取り出し、映像信号Y2(t)を生成する。

【0006】以上のような撮像装置においては、撮像部1aに1画面分の情報電荷を蓄積する期間が、例えば1/60秒として設定されるが、撮像部1aの情報電荷を垂直走査期間の途中の特定のタイミングで排出することにより蓄積期間を1/60秒以下に設定することも可能である。従って、明るい被写体に対しては、情報電荷の蓄積期間を短く設定して固体撮像素子1の撮像部1aの情報電荷のオーバーフローが防止される。逆に、暗い被写体に対しては、情報電荷の蓄積期間を複数の垂直走査期間に亘って設定することで、蓄積期間を1/60秒以上とし、露光不足分を補うようにしている。この場合、撮像部1aから蓄積部1bへの情報電荷の転送が複数の垂直走査期間に1回の割合で行われるため、固体撮像素子1のから出力される映像信号Y1(t)は、映像情報を含まない期間を有する間欠的な信号となる。そこで、このような間欠的な映像信号Y1(t)に対しては、垂直走査期間単位で映像情報の補間を行う処理が施される。このような露光制御機能を備えた撮像装置は、例えば、本出願人により特願昭63-66330号に提案されている。

【0007】

【発明が解決しようとする課題】固体撮像素子1から出力される映像信号Y1(t)に対して映像情報の補間を行う場合には、一画面分の信号を記憶するフィールドメモリが必要となり、回路規模が大きくなるという問題を有している。そこで、撮像部1aの2画面分の情報電荷を合成することにより、回路規模を大きくすることなく、情報電荷量を増加させて固体撮像素子1の見かけ上の感度を向上することが考えられている。2画面分の情報電荷の合成は、通常、情報電荷を転送する過程で合成する方法が用いられる。

4

【0008】しかしながら、固体撮像素子1の撮像部1aにカラーフィルタを装着することで各受光画素を特定の色成分に対応付けたカラー撮像用の固体撮像素子においては、隣り合う受光画素の色成分が異なり、複数の画素の情報電荷を互いに合成することはできない。例えば、4つの色成分a、b、c及びdからなるモザイク型のカラーフィルタが装着された固体撮像素子の場合、出力される映像信号Y1(t)は、図8に示すように、各水平走査期間内で水平転送クロックφHに一致した周期で色成分a及びbまたはc及びdが交互に繰り返される。従って、隣り合う受光画素の情報電荷を転送過程で合成すると、異なる色成分どうしが混合されることになり、再生側で所望の色を再現することができなくなる。

【0009】そこで本発明は、カラーフィルタが装着された固体撮像素子で複数の受光画素の情報電荷を合成できるようにすることを目的とする。

【0010】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、行方向及び列方向に配置され、受光した光にตอบสนองして情報電荷を発生する複数の受光画素と、この受光画素の各列に対応して配置され、各受光画素に発生する情報電荷を受けて垂直方向に転送する複数の垂直シフトレジスタと、各ビットに上記複数の垂直シフトレジスタの各出力を受け、上記複数の垂直シフトレジスタから出力される情報電荷を水平方向に転送する水平シフトレジスタと、この水平シフトレジスタから出力される情報電荷をビット単位で蓄積し、電荷量に対応した電圧値を出力する出力部と、上記複数の受光画素を被って配置され、上記複数の受光画素の各行で奇数列に対して第1の色成分を与え、偶数列に対して第2の色成分を与えるカラーフィルタと、を備え、上記複数の垂直シフトレジスタは、偶数列が奇数列に対して遅れたタイミングで上記情報電荷を上記水平シフトレジスタへ出力することにある。

【0011】そして、行方向及び列方向に配置され、各行で奇数列に対して第1の色成分が与えられて偶数列に対して第2の色成分が与えられる複数の受光画素を備え、受光画素の各列に対応して配置される複数の垂直シフトレジスタに各受光画素に発生する情報電荷を受けて垂直方向に転送し、各垂直シフトレジスタから出力される情報電荷を水平シフトレジスタの各ビットに受けて水平方向に転送出力すると共に、水平シフトレジスタから出力される情報電荷をビット単位で出力部に蓄積して情報電荷量に対応した電圧値を取り出す固体撮像素子の駆動方法において、上記複数の垂直シフトレジスタでは、奇数列から1行分の情報電荷を上記水平シフトレジスタへ転送し、続いて上記水平シフトレジスタから出力部へ転送した後、偶数列から1行分の情報電荷を上記水平シフトレジスタへ転送し、続いて上記水平シフトレジスタから出力部へ転送すると共に、上記出力部では、複数ビ

5

ット分の情報電荷を合成して電圧値を取り出すことを特徴としている。

【0012】

【作用】本発明によれば、行列配置された複数の受光画素の各行で奇数列と偶数列とに第1の色成分と第2の色成分とをそれぞれ対応させ、偶数列の垂直シフトレジスタが奇数列のシフトレジスタに対して遅れたタイミングで情報電荷を水平シフトレジスタへ転送するようにしたことで、同じ色成分に対応付けられた受光画素から同時に情報電荷が水平シフトレジスタへ転送されるようになる。このため、水平シフトレジスタ内には同一の色成分を表す情報電荷が連続することになり、同一の色成分が1/2行単位で連続する映像信号を得ることができる。

【0013】そして、本発明の固体撮像素子の駆動方法によれば、同一の色成分に対応付けられた受光画素から同時に水平シフトレジスタへ情報電荷が読み出され、その情報電荷が出力部で複数のビット分合成される。このため、カラーフィルタを装着した固体撮像素子であっても、色成分が混合することなく、複数の受光画素の情報電荷が合成されて高いレベルの映像信号を得ることができる。

【0014】

【実施例】図1は、本発明の固体撮像素子の構成を示す平面図で、図2は、この固体撮像素子を駆動する各クロックのタイミング図である。この図においては、図面簡略化のため、撮像部の受光画素を6行×8列で示している。撮像部11は、互いに平行に配置される複数の垂直シフトレジスタからなり、これらの垂直シフトレジスタがそれぞれ複数のビットに分割されることにより、行列配置された複数の受光画素が構成される。この撮像部11には、4つの色成分a、b、c及びdからなるモザイク型のカラーフィルタが装着される。これにより、奇数行の受光画素は、奇数列が第1の色成分aに対応付けられて偶数列が第2の色成分bに対応付けられ、偶数行の受光画素は、奇数列が第3の色成分cに対応付けられて偶数列が第4の色成分dに対応付けられる。この撮像部11の各垂直シフトレジスタには、垂直走査タイミングに同期したフレーム転送クロックφFが印加され、各受光画素に発生する情報電荷が蓄積部12へ転送される。蓄積部12は、撮像部11の垂直シフトレジスタに連続する複数の垂直シフトレジスタからなり、これらの垂直シフトレジスタが撮像部11の受光画素に対応するように分割され、撮像部11から転送される情報電荷を取り込んで一時的に蓄積する。蓄積部12の垂直シフトレジスタには、垂直転送クロックφVが印加され、撮像部11の垂直シフトレジスタから転送される情報電荷を取り込んで蓄積すると共に、蓄積した情報電荷を水平走査タイミングに同期して1行単位で垂直方向に転送する。これらの垂直シフトレジスタの出力側は、偶数列で奇数列よりも1ビット多く形成されており、偶数列の最終ビッ

6

トが垂直転送クロックφVの1/2の周期の補助転送クロックφTで駆動される。これにより、蓄積部12から水平転送部13への情報電荷の転送タイミングを奇数列の垂直シフトレジスタと偶数列の垂直シフトレジスタとで水平走査期間の1/2の期間ずらししている。水平転送部13は、1列の水平シフトレジスタからなり、この水平シフトレジスタが蓄積部12の垂直シフトレジスタの2列毎に対応して複数のビットに分割され、蓄積部12の各垂直シフトレジスタから転送される情報電荷を各ビットに取り込む。水平転送部13の水平シフトレジスタには、水平走査タイミングに同期した水平転送クロックφHが印加され、蓄積部12から水平転送部13に転送された情報電荷を1/2行毎に水平方向に順次転送出力する。出力部14は、水平転送部13の水平シフトレジスタから出力される情報電荷を受ける容量、この容量の電位の変化を取り出す出力アンプ及び容量に蓄積された情報電荷を排出するリセットトランジスタより構成される。この出力部14には、水平転送クロックφHに同期したリセットクロックφRが印加され、水平転送部13から出力されてビット単位で容量に蓄積される情報電荷が順次排出されるようになる。これにより、水平転送部13から転送される情報電荷が1ビット単位で電圧値に変換され、情報電荷量に対応した映像信号Y(t)が出力される。

【0015】垂直転送クロックφVは、例えば、4相のクロックφV1〜φV4からなり、水平同期信号HDに同期した垂直走査の始まりのタイミングで蓄積部12の情報電荷を1行分垂直方向へ転送する。このとき、奇数列の垂直シフトレジスタでは、最終ビットの情報電荷が水平転送部13の水平シフトレジスタへ転送されるが、奇数列よりも1ビット多い偶数列の垂直シフトレジスタでは、同一行の情報電荷が垂直シフトレジスタの最終ビットに保持される。この垂直シフトレジスタの最終ビットを駆動する補助転送クロックφTについては、例えば、4相のクロックφT1〜φT4からなり、垂直転送クロックφVと合わせて水平走査の始まりで情報電荷を垂直シフトレジスタの最終ビットに取り込んだ後、水平走査期間の1/2の期間が経過したときに垂直シフトレジスタの最終ビットから水平転送部の水平シフトレジスタへ情報電荷を転送する。そして、水平転送クロックφHは、例えば、2相のクロックφH1、φH2からなり、蓄積部12の垂直シフトレジスタから水平転送部13の水平シフトレジスタへ情報電荷が転送される毎に水平走査の1/2の期間で1/2行分の情報電荷を出力部14へ転送する。このようにして転送出力される情報電荷は、各水平走査期間毎に水平走査期間の1/2の期間で同じ色成分が連続することになる。例えば、奇数番目の水平走査期間では、水平走査期間の前半で第1の色成分aを表す情報電荷が連続し、後半で第2の色成分bを表す情報電荷が連続して出力され、偶数番目の水平走査期間で



は、水平走査期間の前半で第3の色成分cを表す情報電荷が連続し、後半で第4の色成分dを表す情報電荷が連続して出力されるようになる。従って、出力部14から出力される映像信号Y(t)は、各水平走査期間において、水平走査期間の1/2の期間毎に単一の色成分を表すことになり、映像信号Y(t)に対する信号処理では、色成分の分離が容易にできるようになる。

【0016】また、出力部14に印加されるリセットクロックφRを適当な間隔で間引くようにすれば、複数ビット分の情報電荷を合成することが可能である。この場合、水平走査期間の1/2の期間は、同一の色成分が連続しているため、異なる色成分どうしが混合されることはない。図3は、モザイク型のカラーフィルタの構成例を示す平面図で、フレーム転送型のCCD固体撮像素子の受光部を示す。そして、図4は、図3のX-X線の断面図である。これらの図においては、1画素あたりに4本の転送電極が配置される4相駆動のフルフレーム型CCD固体撮像素子を示す。

【0017】P型のシリコン基板21の表面領域に、高濃度のP型領域よりなる複数の分離領域22が互いに平行に形成され、この分離領域22に挟まれた基板領域に、N型の不純物が拡散されてチャネル領域23が形成される。分離領域22及びチャネル領域23が形成されたシリコン基板21上に、酸化膜24を介して、チャネル領域23と交差するように複数の1層目の転送電極25及び2層目の転送電極26が互いに平行に配置される。また、光電変換によって生じる情報電荷を蓄積する期間には、例えば、2層目の転送電極26の偶数番目の電位を低くしてポテンシャルの障壁を形成し、1層目の転送電極25及び2層目の転送電極26の奇数番目の電位を高くしてポテンシャルの井戸を形成する。これにより、垂直方向に連続するチャネル領域23が2層目の転送電極26の偶数番目で電気的に分離され、複数の受光画素が形成される。そして、各転送電極25、26には、例えば4相のクロックパルスが与えられ、ポテンシャルの井戸に蓄積された情報電荷がチャネル領域23に沿って出力側へ順次転送される。ここで、各転送電極25、26は、1画素あたりにそれぞれ2本ずつ（計4本）配置されており、各受光画素に蓄積される情報電荷が、1画素毎に独立して転送される。

【0018】各転送電極25、26を覆って形成されるカラーフィルタ27は、受光画素の各行に対応して複数の領域に分割され、さらにチャネル領域23の2列毎に対応して3つの領域に分割される。分離領域22を挟んで隣り合う2つの受光画素に跨る分割領域は、それぞれの受光画素の1/3に対応し、その両側に隣接する分割領域は、各受光画素の2/3に対応する。これらの分割領域には、Ye（イエロー）、Cy（シアン）及びG（グリーン）の各成分が所定の順序で割り当てられる。各分割領域に対する色成分の割り当ての順序は、各行で

一致しているが、偶数行と奇数行とで行方向に1領域分ずれている。

【0019】ところで、G成分のフィルタは、Ye成分のフィルタとCy成分のフィルタとを重ね合わせて構成できる。このため、Yeフィルタとなる1層目の着色層28をYe成分及びG成分が割り当てられる分割領域に配置し、Cyフィルタとなる2層目の着色層29をCy成分及びG成分が割り当てられる分割領域に配置してカラーフィルタ27を構成する。これにより、1層目の着色層28のみを配置した分割領域がYe成分、2層目の着色層29のみを配置した分割領域がCy成分にそれぞれ対応付けられ、1層目の着色層28と2層目の着色層29とを重ねて配置した分割領域がG成分に対応付けられる。

【0020】以上のカラーフィルタ27においては、4つの色成分a、b、c及びdを、それぞれ、

$$a = 2Cy + Ye$$

$$b = 2G + Ye$$

$$c = 2G + Cy$$

$$d = 2Ye + Cy$$

と表すことができる。そして、このような色成分a、b、c及びdの構成によれば、各行毎で互いの色成分の差から、

$$|a - b| = (2Cy + Ye) - (2G + Ye)$$

$$= 2Cy - 2G$$

$$= 2B$$

$$|c - d| = (2Ye + Cy) - (2G + Cy)$$

$$= 2Ye - 2G$$

$$= 2R$$

としてB（ブルー）成分及びR（レッド）成分を得ることができる。また、各行毎に色成分を合成することにより、

$$a + b = (2Cy + Ye) + (2G + Ye)$$

$$= 2R + 6G + 2B$$

$$c + d = (2G + Cy) + (2Ye + Cy)$$

$$= 2R + 6G + 2B$$

となり、各行毎に等しい信号を得ることができ、この信号を輝度信号として用いることができるようになる。この場合の輝度信号については、本来の輝度信号には一致しないが、所定の規格に従う割合に近い割合で各成分が合成されているため、実用上は問題ない。

【0021】図5は、本発明の固体撮像素子の駆動方法を採用した撮像装置の構成を示すブロック図であり、図6は、その動作タイミング図である。固体撮像素子31は、図1と同一の構成であり、モザイク型のカラーフィルタが装着された撮像部31a、偶数列の垂直シフトレジスタが奇数列の垂直シフトレジスタよりも出力側で1ビット多く形成される出力部31b、出力部31bの垂直シフトレジスタの2列毎に水平シフトレジスタの各ビットが対応付けられた水平転送部31c及び映像信号Y



9

1(t)を取り出す出力部31dよりなる。

【0022】フレーム転送クロック発生回路32は、垂直走査のタイミングに同期して発生するフレーム転送クロック $\phi F$ を固体撮像素子31の撮像部31aに供給し、撮像部31aの情報電荷を1画面毎に蓄積部1bへ転送する。垂直転送クロック発生回路33は、垂直転送クロック $\phi V$ を蓄積部1bに供給し、撮像部31aから転送される情報電荷を蓄積部31bに取り込むと共に、取り込んだ情報電荷を1行毎に垂直方向へ転送する。このとき、蓄積部31bにおいては、偶数列の垂直シフトレジスタが奇数列の垂直シフトレジスタよりも出力側で1ビット多く形成されており、奇数列の垂直シフトレジスタでは、最終ビットの情報電荷が水平転送部31cの水平シフトレジスタへ転送され、偶数列の垂直シフトレジスタでは、同一行の情報電荷がその垂直シフトレジスタの最終ビットに保持される。補助転送クロック発生回路34は、蓄積部31bの偶数列の垂直シフトレジスタの最終ビットに対して補助転送クロック $\phi T$ を供給し、この最終ビットに取り込まれた情報電荷を奇数列の垂直シフトレジスタの転送タイミングに対して水平走査期間の1/2の期間遅れたタイミングで水平転送部31cの水平シフトレジスタへ転送する。水平転送クロック発生回路35は、水平走査のタイミングに同期して発生する水平転送クロック $\phi H$ を水平転送部31cに供給し、蓄積部31bから転送された情報電荷を出力部31dへ転送出力する。タイミング制御回路36は、基準クロックCKに基づいて垂直走査及び水平走査の各タイミングを決定し、各クロック発生回路32、33、34、35の動作タイミングを制御する。これにより、撮像部31aに発生した情報電荷は、垂直走査期間の始まりのタイミングで1画面単位で蓄積部31bへ転送されて蓄積され、この蓄積部31bから水平走査期間の始まりのタイミングで1行単位で水平転送部31cへ転送される。そして、その転送過程で、奇数列の受光画素から読み出された情報電荷と偶数列の受光画素から読み出された情報電荷とが振り分けられ、同一の色成分を表す情報電荷が水平走査期間の1/2の期間毎に連続して出力部31dへ転送される。

【0023】リセットクロック発生回路37は、水平転送クロック発生回路35に同期して水平転送クロック $\phi H$ と同一周期のリセットクロック $\phi R1$ を発生する。分周回路38は、リセットクロック $\phi R1$ を1/nに分周し、水平転送クロック $\phi H$ のn倍の周期を有するリセットクロック $\phi R2$ を発生して固体撮像素子31の出力部31dに供給する。これにより、出力部31dでの情報電荷の排出動作が、水平転送部31cの転送動作のn倍の周期となり、出力部31dにはn画素分の情報電荷が蓄積される。これにより、出力部31dから出力される映像信号Y1(t)は、水平転送クロック $\phi H$ の周期のn倍の期間同一レベルを示すことになるが、1画素分の情報電荷量

10

が少ないときでも十分なレベルを得ることができる。

【0024】サンプルリング回路39は、映像信号Y1(t)を取り込んでサンプルリングクロック $\phi S2$ に従うタイミングでサンプルリングし、映像信号Y2(t)として出力する。サンプルリングクロック発生回路40は、リセットクロック発生回路37と同様に、水平転送クロック発生回路35に同期して水平転送クロック $\phi H$ と同一周期のサンプルリングクロック $\phi S1$ を発生する。分周回路41は、分周回路38と同様に、サンプルリングクロック $\phi S1$ を1/nに分周し、リセットクロック $\phi R2$ と同一の周期を有するサンプルリングクロック $\phi S2$ を発生してサンプルリング回路39に供給する。尚、サンプルリングクロック $\phi S2$ の位相は、図7のサンプルリングクロック $\phi S$ と同様に、映像信号Y1(t)の信号レベルが出力される期間に一致するように設定される。

【0025】ここで、各分周回路38、41でのリセットクロック $\phi R1$ 及びサンプルリングクロック $\phi S1$ に対する分周動作は、垂直走査期間(1フィールド)毎に反転するフィールド識別信号FDに反応して、各垂直走査期間で水平転送クロック $\phi H$ の1周期分ずれたタイミングに設定される。例えば、リセットクロック $\phi R1$ 及びサンプルリングクロック $\phi S1$ を1/2に分周して出力部31dで2画素分の情報電荷を合成する場合、奇数フィールド(ODD)では、水平走査信号HDの立ち上がりで各分周回路38、41をリセットし、偶数フィールド(EVEN)では、水平走査信号HDの立ち上がりから水平転送クロック $\phi H$ の1周期分遅れて分周回路12をリセットするように構成される。これにより、リセットクロック $\phi R2$ は、図6に示すように、奇数フィールドと偶数フィールドとで互いに1周期ずれて設定される。従って、出力部31dでの情報電荷の排出動作が水平転送部31cの転送動作に対してフィールド毎に水平転送クロック $\phi H$ の1周期ずれ、出力部31dにおいて合成される受光画素の組み合わせがフィールド毎に反転することになる。このように、受光画素の情報電荷を合成するタイミングをフィールド毎に反転させるようにすれば、固体撮像素子31が水平方向に疑似的にインタレース走査されることになり、2画素の情報電荷の合成による水平方向の解像度の低下を抑圧することができる。

【0026】ところで、出力部31dにおいて合成される画素の組み合わせを反転する周期は、垂直走査期間単位で行うほかに、水平走査期間単位で行うことも可能である。この場合、各分周回路38、41におけるリセットクロック $\phi R1$ 及びサンプルリングクロック $\phi S1$ に対する分周動作が、水平走査期間毎に水平転送クロック $\phi H$ の1周期だけずれて設定される。

【0027】以上の実施例においては、蓄積部31bの偶数列の垂直シフトレジスタのビット数を奇数列に対して1ビット多くすることで、奇数列と偶数列との情報電荷の振り分けを行うようしているが、水平転送部31c

12

【図4】図3のX-X線の断面構造を示す断面図である。

【図6】本発明の固体撮像素子の駆動方法を説明するタイミング図である。

【図7】従来の固体撮像装置の構成を示すブロック図である。

10 【図8】従来の固体撮像素子の動作を説明するタイミング図である。

### 1、31 固体摄像素子

1a、11、31a 撮像部

1b、12、31b 蓄積部

1c、13、31c 水平転送部

1d、14、31d 出力部

## 2、32 フレーム転送クロック発生回路

### 3.33 垂直転送クロック発生回路

#### 4、35 水平転送クロック発生回路

### 5.36 タイミング制御回路

### 6、37 リセットクロック発生回路

### 7.39 サンプリング回路

#### 8.40 サンプリングクロック発生回路

## 21 シリコン基板

## 22 分離領域

## 23 チャンネル領域

## 24 酸化膜

25、26 転送電極

30 27 カラーフィルタ

## 28、29 着色層

### 35 補助転送クロック発生回路

### 38、41 分周回路

[0029]

【0030】また、同一の色成分を表す情報電荷が連続して出力されるため、複数の画素の情報電荷を容易に合成することができ、被写体の輝度が低く、受光画素に蓄積される情報電荷が少ない場合でも、十分なレベルの映像信号を取り出すことができるようになる。さらに、情報電荷を合成する受光画素の組み合わせを垂直走査期間毎、あるいは水平走査期間毎に反転させて疑似的にインターレース走査するようにすれば、情報電荷の合成による解像度の低下を抑圧することができる。

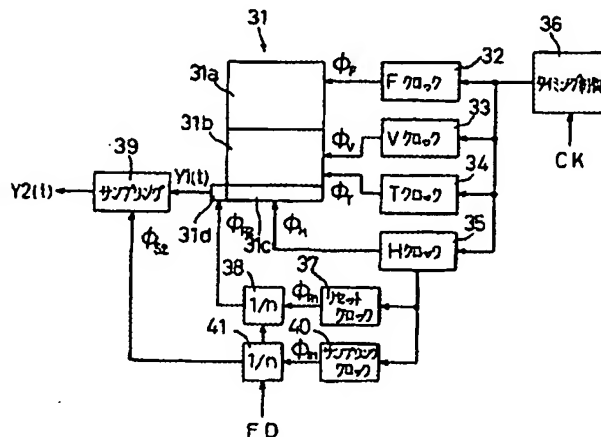
【図面の簡単な説明】

【図1.】本発明の固体撮像素子の構成を示す平面図である。

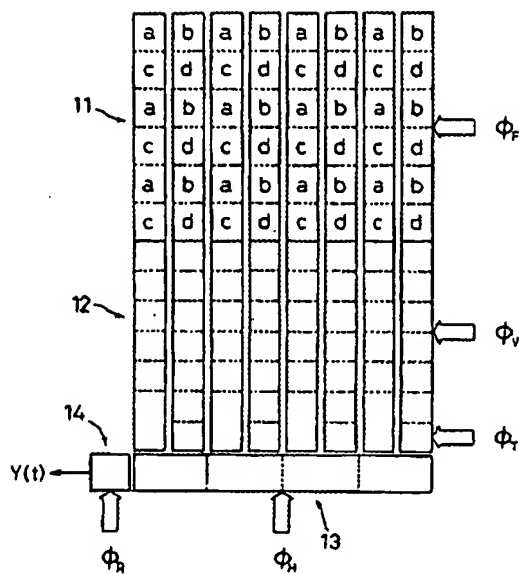
【図２】本発明の固体撮像素子を駆動するクロックのタイミング図である。

【図3】本発明の固体撮像素子に用いるカラーフィルタ

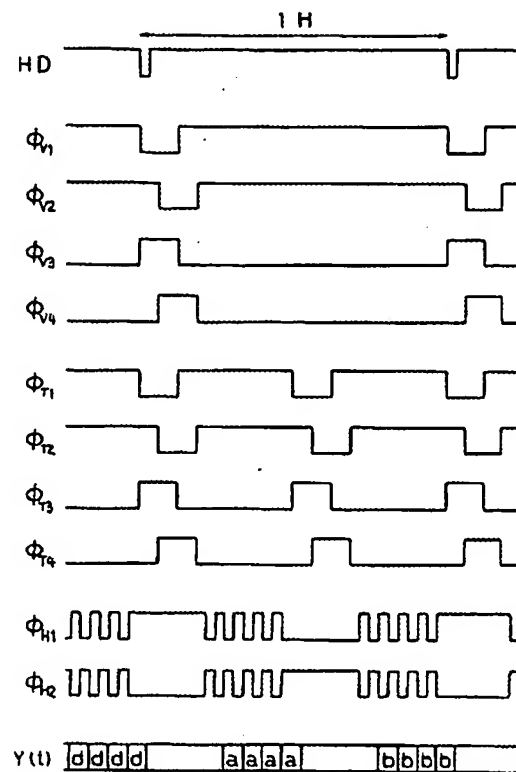
【図5】



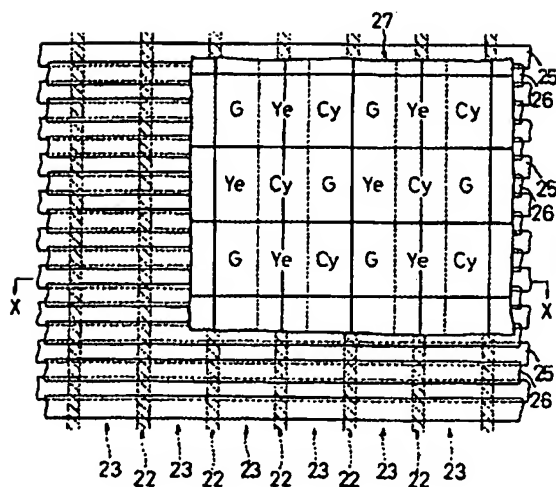
【例1】



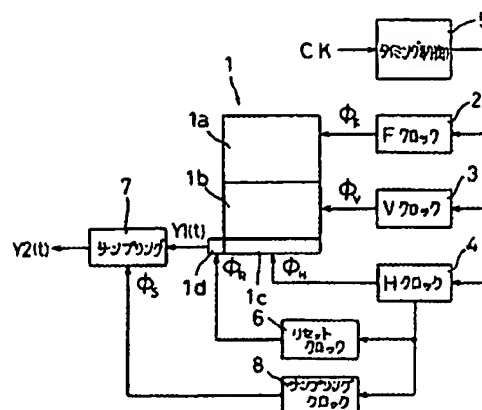
【图2】



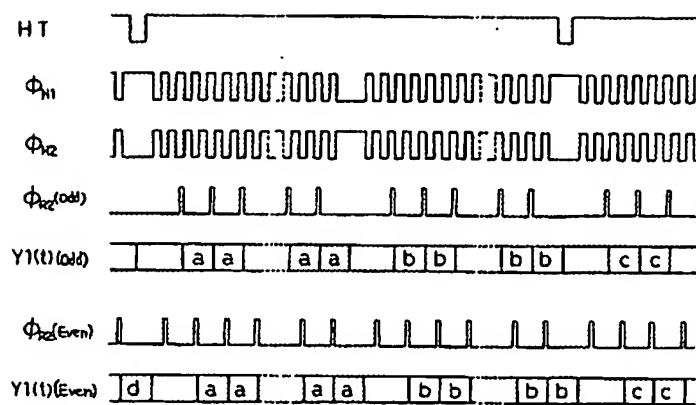
【図3】



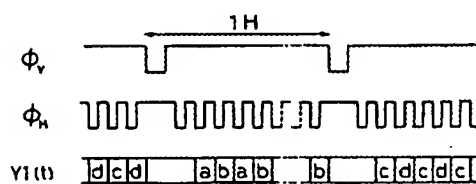
【圖7】



【図6】



【図8】



BEST AVAILABLE COPY